

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-198716

(43)Date of publication of application : 06.08.1993

(51)Int.Cl.

H01L 23/50

(21)Application number : 04-027198

(71)Applicant : SONY CORP

(22)Date of filing : 18.01.1992

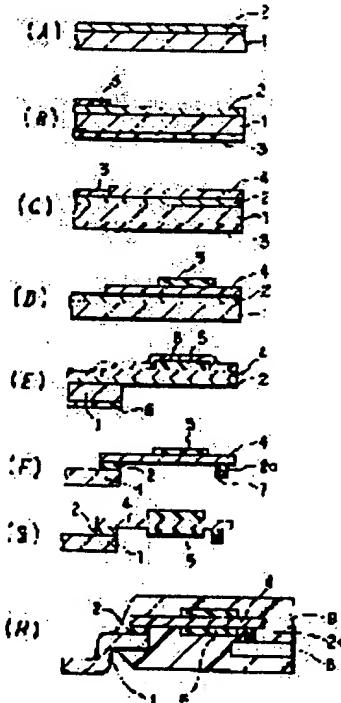
(72)Inventor : OSAWA KENJI

(54) MANUFACTURE OF LEAD FRAME

(57)Abstract:

PURPOSE: To reinforce an inner lead by insulating a semiconductor chip from leads through applying an insulating material to the position, which overlaps the semiconductor chip when bonded, of the surface at least on the semiconductor chip side on the inner lead.

CONSTITUTION: In a state where the part to form a bump of an intermediate metal layer 2 is masked by a resist film 7, the intermediate metal layer 2 is etched while the resist film 7, inner lead 4 and outer lead 1 are used as masks so that unnecessary parts of the intermediate metal layer 2 are removed. An insulating material (e.g. polyimide paste) 5 is formed by a screen printing method from the side of a lead frame opposite to the side of a semiconductor device. In this case, the insulating material 5 is formed in the manner of overlapping the semiconductor device 8 when the semiconductor device is connected with the lead frame. The insulating material 5 prevents the short circuit of the semiconductor device 8 and lead frame. The insulating material 5 is preferably printed so as to go onto the part between respective adjacent inner leads 4. Thus, it is possible to also obtain a short circuit prevention effect.



LEGAL STATUS

[Date of request for examination] 12.01.1999

[Date of sending the examiner's decision of

[rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3028875

[Date of registration] 04.02.2000

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-198716

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.
H 01 L 23/50

識別記号 A 9272-4M
Y 9272-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平4-27198

(22)出願日 平成4年(1992)1月18日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 大沢 健治

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 弁理士 尾川 秀昭

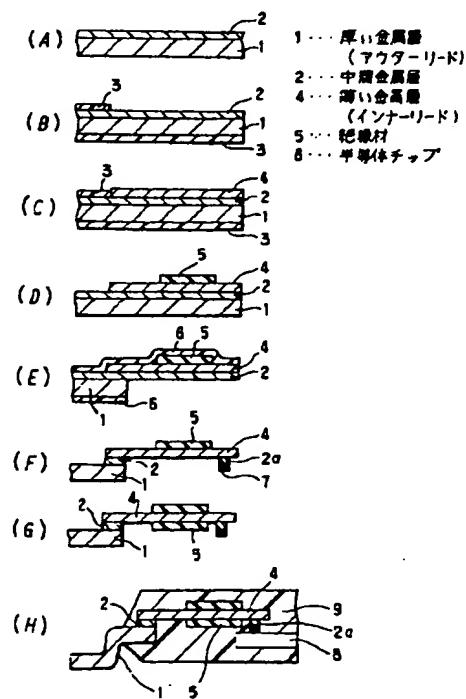
(54)【発明の名称】 リードフレームの製造方法

(57)【要約】

【目的】 リードフレーム(特にインナーリード)と半導体素子(特にそのエッチ)との短絡事故をなくす。

【構成】 リードフレームの半導体素子側の面の半導体素子とオーバーラップするところに絶縁材を例えれば印刷あるいは写真技術により形成する。

一つの実施例を工程順に示す断面図



【特許請求の範囲】

【請求項1】 中間金属層の一方の面に薄い金属層からなるインナーリードを他方の面に厚い金属層からなるアウターリードを形成し、その後、中間金属層の不要部分を除去するリードフレームの製造方法において、

上記インナーリード上の少なくとも半導体チップ側の面であってボンディングされたとき半導体チップとオーバーラップする位置に、絶縁材を塗布する工程を、少なくとも有することを特徴とするリードフレームの製造方法

【請求項2】 絶縁材を各隣接インナーリード間に入り込むように形成することを特徴とする請求項1記載のリードフレームの製造方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、リードフレームの製造方法、特に、中間金属層の一方の面に薄い金属層からなるインナーリードを他方の面に厚い金属層からなるアウターリードを形成し、該アウターリード及び上記インナーリードをマスクとして上記中間金属層をエッチングすることにより該中間金属層の不要部分を除去するリードフレームの製造方法に関する。

【0002】

【従来の技術】 リードフレームの製造方法として、エッチングストップ層となる中間金属層の両面に互いに厚さの異なる金属層を形成し、この両面の金属層に対して選択的エッチングをすることにより厚いアウターリードと、薄いインナーリードを形成し、その後、このアウターリード及びインナーリードをマスクとして上記中間金属層をエッチングすることにより該中間金属層の不要部分を除去する方法が特開平3-148856号公報により紹介されている。

【0003】 そして、上記公報にはインナーリード部に例えれば樹脂からなる補強材を形成することが紹介されている。そして、その補強材の形成は、一般に、例えは厚さ50μmのポリイミドフィルムの裏面に接着剤(厚さ10μm)を塗布したものをプレスカットにより矩形枠状に成形し、その後、それをリードフレームのインナーリード部に熱プレス接着法により接着するという方法で行われた。

【0004】

【発明が解決しようとする課題】 ところで、樹脂封止型半導体装置には薄型化の要求があり、それに応えるには半導体チップと、リードフレームのインナーリードあるいはインナーリード及びアウターリードとの間の間隔を小さくする必要がある。しかし、それに応えようとすると半導体チップと、リードフレームのインナーリードあるいはインナーリード及びアウターリードとの間で電気的にショートする可能性が生じてきた。

【0005】 本発明はこのような問題点を解決すべく為されたものであり、一つの目的は半導体チップとの間で

電気的ショートの発生しない新規なリードフレームの製造方法を提供することにあり、他の目的はインナーリード間のショート事故の発生率をも少なくすることにある。

【0006】

【課題を解決するための手段】 請求項1のリードフレームの製造方法は、インナーリード上の少なくとも半導体チップ側の面であってボンディングされたとき半導体チップとオーバーラップする位置に絶縁材を塗布する工程を有することを特徴とする。請求項2のリードフレームの製造方法は、請求項1のリードフレームの製造方法において、絶縁材を各隣接インナーリード間に入り込むように形成することを特徴とする。

【0007】

【作用】 請求項1のリードフレームの製造方法によれば、絶縁材が半導体チップ側の半導体チップとオーバーラップする部分に形成されているので、絶縁材によって半導体チップとリードとの間を絶縁することができる。そして、該絶縁材をインナーリードの補強にも用いることができる。請求項2のリードフレームの製造方法によれば、絶縁材が各隣接インナーリード間に入り込むように形成されるので、各インナーリード間のショートをも防止することができる。

【0008】

【実施例】 以下、本発明リードフレームの製造方法を図示実施例に従って詳細に説明する。図1(A)乃至(H)は本発明リードフレームの製造方法の一つの実施例を工程順に示す断面図である。

(A) 図1(A)に示すように、銅からなる金属層1とアルミニウムからなる中間金属層2を積層したリードフレーム材を用意する。

【0009】 (B) 図1(B)に示すように、中間金属層2の表面に選択的に、金属層1の表面に全面的にそれぞれレジスト膜3を形成する。中間金属層2の表面のレジスト膜3は形成すべきインナーリードのパターンとネガのパターンに形成する。

(C) 次に、硫酸Cuメッキ浴にて電解メッキ法により中間金属層2の表面に銅メッキを施して図1(C)に示すように銅からなるインナーリード4を形成する。

【0010】 (D) 次に、図1(D)に示すようにインナーリード4上に絶縁材(例えはポリイミドペースト)5を図2に示すようなスクリーン印刷法により形成する。勿論、感光性の絶縁材料を用いて写真技術により絶縁材5を形成するようにしても良いことはいうまでもない、このように、スクリーン印刷法あるいは写真技術により絶縁材5を形成するとそのパターン及び形成位置を正確に制御できる。

(E) 次に、リードフレームのインナーリード側の面に全面的に、アウターリード側の面に選択的にレジスト膜6を形成し、図1(E)に示すように、該レジスト膜6

をマスクとして金属層1をエッチングすることによりアウターリード1を形成する。

【0011】(F) 次に、図1(F)に示すように、中間金属層2のバンプを形成すべき部分をレジスト膜7でマスクした状態で該レジスト膜7、インナーリード4及びアウターリード1をマスクとして中間金属層2をエッチングすることにより中間金属層2の不要部分を除去する。

(G) その後、図1(G)に示すようにリードフレームの反半導体素子側から絶縁材(例えばポリイミドベースト)5を図2に示すようなスクリーン印刷法によりする。勿論、写真技術により感光性材料からなる絶縁材を選択的に形成するようにしても良い。

【0012】この場合、絶縁材5は半導体素子をリードフレームに接続したときに半導体素子とオーバーラップするように形成することが必要である。なぜならば、絶縁材5に半導体素子とリードフレームとの短絡を防止する役割を担わせるためである。また、絶縁材5は各隣接インナーリード間上に入り込むように印刷するほうが良い。というのは、絶縁材5により半導体素子とリードフレームとのショートを防止する効果及びインナーリード補強効果のほか隣接インナーリード間の短絡防止効果も得られるからである。尚、スクリーン印刷法あるいは写真技術により絶縁材5を形成するとそのパターン及び形成位置を正確に制御できることはいうまでもない。2aはバンプである。

【0013】(H) その後、リードフレームの各インナーリード4のバンプ2aと、それに対応する半導体素子8の電極を接続し、かかる後、樹脂9で封止する。図3は半導体装置の一部を樹脂の部分を切欠いて示す斜視図である。

【0014】本リードフレームの製造方法によれば、絶縁材5が半導体素子9とリードフレームとの間に介在しているので、半導体素子9とリードフレームとの間の短絡を防止することができ、延いてはリードフレームを半導体素子9により近接して配置することができる。従って、半導体装置の薄型化ができる。

【0015】そして、絶縁材5により、多ピン化のため薄いことが要求され機械的強度が弱くなる傾向にあるところのインナーリードを補強する効果も得られ、更には絶縁材をリード間に入り込むように形成することにより各隣接インナーリード間の短絡、位置関係のズレの発生を防止することもできる。

【0016】図4(A)乃至(C)は図1に示したリードフレームの製造方法の変形例を示すものである。本変形例は、図4(A)に示すように、アルミニウムからなる中間金属層2の両面に厚さの異なる銅からなる金属層1、4を積層した三層構造のリードフレーム材を用意し、その後、図4(B)に示すように、アウターリードとなる厚い金属層1の表面を全面的に、インナーリード

となる薄い金属層4の表面を選択的にそれぞれレジスト膜6でマスクし、その状態でエッチングすることによりインナーリード1を形成し、かかる後、インナーリード4上の絶縁材5を形成する点で図1に示した実施例と異なる。

【0017】その後は、図1(D)～(H)に示す工程によりリードフレームの製造方法及び樹脂封止が行われる。図1に示す実施例には、このように、図4に示すようなバリエーションもあるのである。尚、絶縁材5を形成する方法、絶縁材5の形成によって得られる効果には特に差異がない。

【0018】図5(A)乃至(D)は本発明リードフレームの製造方法の他の実施例を工程順に示す断面図である。

(A) 図5(A)に示すように、アルミニウムからなる中間金属層2の両面に厚さの異なる銅からなる金属層1、4を積層した三層構造のリードフレーム材を用意し、レジスト膜6をマスクとするエッチングによりアウターリードを形成する。

【0019】(B) 次に、中間金属層1の半導体素子側の面に絶縁層5を形成する。この絶縁層5は半導体素子とリードフレームとを接続したときに半導体素子とオーバーラップする位置に形成することが必要である。なぜならば、前述のとおり、絶縁材5に半導体素子とリードフレームとの間の電気的な短絡を防止する役割を担わせるためである。

【0020】(C) 次に、図5(C)に示すようにレジスト膜6をマスクとして金属層4をエッチングすることによりインナーリードを形成する。

(D) その後、図5(D)に示すように、インナーリード4及びアウターリードをマスクとして中間金属層2をエッチングすることにより中間金属層2の不要部分を除去する。尚、この場合、中間金属層によりバンプ2aを形成するときはその部分をレジスト膜でマスクしておくことが必要である。

【0021】本実施例においては、絶縁材5は各隣接インナーリード間に入り込んでいないのでインナーリード間に入り込んだ異物等によりショートする事故を防止する効果を発揮できないが、各インナーリード間及び半導体素子・インナーリード間の短絡を防止する効果を奏することはできる。本発明はこのような態様でも実施することができるるのである。

【0022】尚、本発明リードフレームの製造方法はLOC(Lead On Chip)型半導体装置用のリードフレームにも適用できる。図6はその適用例を示すものである。LOC型半導体装置に適用するには、図6に示すように、絶縁層5をリードフレーム10のインナーリード部分からアウターリード部分に渡って幅広く形成する必要があるが、絶縁層5によってリードフレームと半導体素子の間を電気的に絶縁することができる。

で、両者を近接させることができ、従って、LOC型半導体装置の薄型化を図ることができる。

【0023】

【発明の効果】請求項1のリードフレームの製造方法は、中間金属層の一方の面に薄い金属層からなるインナーリードを他方の面に厚い金属層からなるアウターリードを形成し、その後、中間金属層の不要部分を除去するリードフレームの製造方法において、上記インナーリード上の少なくとも半導体チップ側の面であってポンディングされたとき半導体チップとオーバーラップする位置に、絶縁材を塗布する工程を、少なくとも有することを特徴とするものである。従って、請求項1のリードフレームの製造方法によれば、絶縁材がリードフレームの半導体チップ側の半導体チップとオーバーラップする部分に形成されるので、絶縁材によって半導体チップとリードとの間を絶縁することができる。そして、該絶縁材をインナーリードの補強にも用いることができる。

【0024】請求項2のリードフレームの製造方法は、請求項1のリードフレームの製造方法において、絶縁材を各隣接インナーリード間に入り込むように形成することを特徴とするものである。従って、請求項2のリード

フレームの製造方法によれば、絶縁材が各隣接インナーリード間に入り込むように形成されるので、各隣接インナーリード間のショートをも防止することができる。

【図面の簡単な説明】

【図1】(A)乃至(H)は本発明リードフレームの製造方法の一つの実施例を工程順に示す断面図である。

【図2】絶縁材の形成方法の一例を示す斜視図である。

【図3】半導体装置を樹脂を切欠いて示す斜視図である。

【図4】(A)乃至(C)は図1に示すリードフレームの製造方法の変形例を工程順に示す断面図である。

【図5】(A)乃至(D)は本発明リードフレームの製造方法の他の実施例を工程順に示す断面図である。

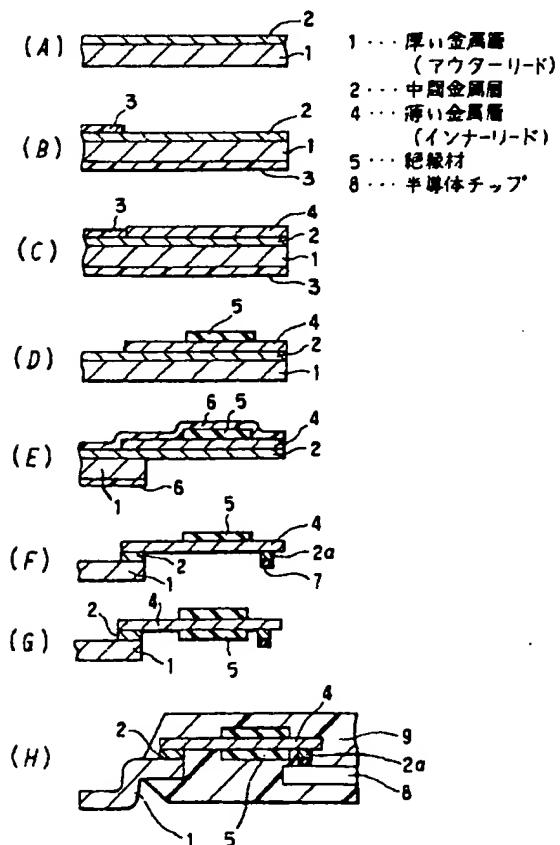
【図6】本発明の適用に係るLOC型半導体装置の樹脂封止前の状態を示す図である。

【符号の説明】

- 1 厚い金属層 (アウターリード)
- 2 中間金属層
- 4 薄い金属層 (インナーリード)
- 5 絶縁材
- 8 半導体チップ

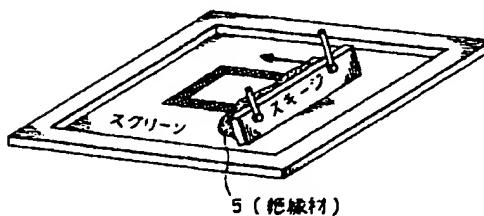
【図1】

一つの実施例を工程順に示す断面図



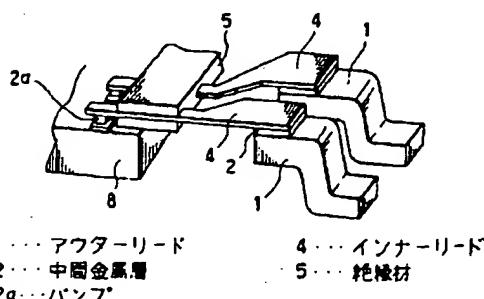
【図2】

絶縁材形成方法を示す斜視図



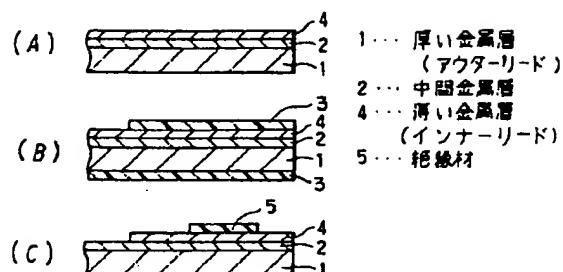
【図3】

半導体装置を樹脂を切欠いて示す斜視図



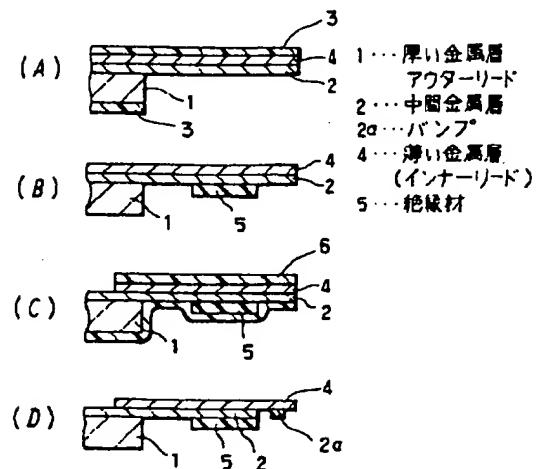
【図4】

変形例を工程順に示す断面図



【図5】

他の実施例を工程順に示す断面図



【図6】

本発明の適用に係るLOC型半導体装置

